

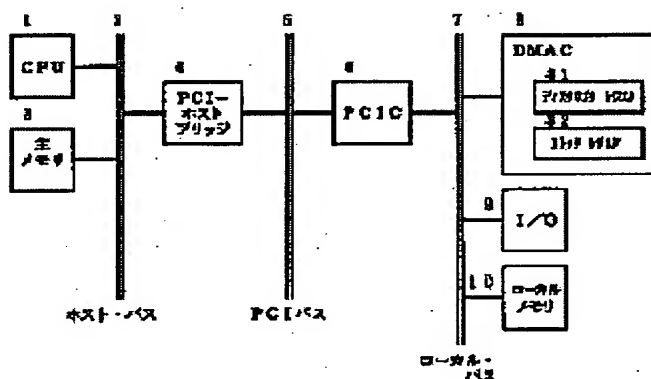
DIRECT MEMORY ACCESS TRANSFER SYSTEM

Publication number: JP9319698
Publication date: 1997-12-12
Inventor: HIROSE SATOSHI
Applicant: FUJITSU LTD
Classification:
 - International: G06F13/28; G06F13/20; (IPC1-7): G06F13/28
 - european:
Application number: JP19960140294 19960603
Priority number(s): JP19960140294 19960603

Report a data error here

Abstract of JP9319698

PROBLEM TO BE SOLVED: To provide a direct memory access(DMA) transfer system with which the processing load of a CPU is reduced and the switching frequency of open/ occupy of a peripheral component interconnect(PCI) bus is reduced by integrating a descriptor chain in the case of a system provided with the PCI bus. **SOLUTION:** This system is provided with a stock register 82 for temporarily storing transferred descriptor data and a descriptor register 81 for moving the descriptor data stored in the stock register 82. In this case, DMA transfer is started through activation from a CPU 1 by writing the descriptor data at a low-order address continued to the leading address of transfer data, these transferred descriptor data are temporarily stored in the stock register 82 and when the transfer data become the final address, these descriptor data stored in the stock register 82 are moved to the descriptor register 81. Afterwards, the DMA transfer is executed according to the descriptor data moved to the descriptor register 81.



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-319698

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl.⁶

G 0 6 F 13/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 13/28

技術表示箇所

3 1 0 H

審査請求 未請求 請求項の数4 O L (全 17 頁)

(21)出願番号 特願平8-140294

(22)出願日 平成8年(1996)6月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 ▲廣▼瀬 智

愛知県名古屋市東区東桜一丁目13番3号

富士通名古屋通信システム株式会社内

(74)代理人 弁理士 井桁 貞一

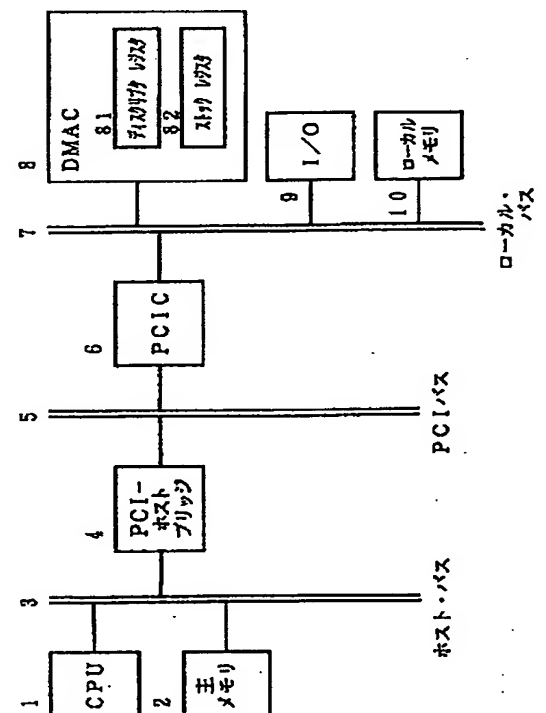
(54)【発明の名称】 ダイレクト・メモリ・アクセス転送方式

(57)【要約】

【課題】 P C Iバスを備えるシステムにおけるDMA転送方式に関し、ディスクリプタ・チェーンを組んでC P Uの処理負荷を軽減すると共に、P C Iバスの開放、占有の切替頻度を縮減することができるDMA転送方式を提供する。

【解決手段】 転送されるディスクリプタ・データを一旦格納するストック・レジスタと、該ストック・レジスタにストアされたディスクリプタ・データを移し変えるディスクリプタ・レジスタとを備え、転送データの先頭番地に連続した下位番地にディスクリプタ・データを書き込んでC P Uからの起動によってDMA転送を開始し、転送された該ディスクリプタ・データを該ストック・レジスタに一旦ストアし、転送データが最終番地になった時に該ストック・レジスタにストアされた該ディスクリプタ・データを該ディスクリプタ・レジスタに移し変え、以降は該ディスクリプタ・レジスタに移し変えられたディスクリプタ・データに従ってDMA転送を行なう

本発明の第一の実施の形態の機能構成図



【特許請求の範囲】

【請求項1】 ペリフェラル・コンポーネント・インターコネクト・バス（Peripheral Component Interconnect Bus ; P C Iバス）を備えるシステムにおける：P C Iバスを経由するダイレクト・メモリ・アクセス転送方式（DMA転送方式）において、

転送されるディスクリプタ・データを一旦格納するストック・レジスタと、該ストック・レジスタにストアされたディスクリプタ・データを移し変えるディスクリプタ・レジスタとを備え、

転送データの先頭番地に連続した下位番地にディスクリプタ・データを書き込んでC P Uからの起動によってD M A転送を開始し、

転送された該ディスクリプタ・データを該ストック・レジスタに一旦ストアし、

DMA転送の終了時に該ストック・レジスタにストアされた該ディスクリプタ・データを該ディスクリプタ・レジスタに移し変え、

以降は該ディスクリプタ・レジスタに移し変えられたディスクリプタ・データに従って上記の転送を行なうことを特徴とするDMA転送方式。

【請求項2】 P C Iバスを備えるシステムにおける、P C Iバスを経由するDMA転送方式において、

転送されるディスクリプタ・データを格納するディスクリプタ・レジスタを備え、

転送データの最終番地に連続した上位番地にディスクリプタ・データを書き込んでC P Uからの起動によってD M A転送を開始し、

転送された該ディスクリプタ・データを該ディスクリプタ・レジスタにストアし、

以降は該ディスクリプタ・レジスタにストアされたディスクリプタ・データに従って上記の転送を行なうことを特徴とするDMA転送方式。

【請求項3】 P C Iバスを備えるシステムにおける、P C Iバスを経由するDMA転送方式において、

転送されるディスクリプタ・データを一旦格納するストック・レジスタと、該ストック・レジスタにストアされたディスクリプタ・データを移し変えるディスクリプタ・レジスタと、

ディスクリプタ・データが格納される番地を格納するセレクト・レジスタとを備え、

任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データに連続した番地に転送データを書き込んでC P Uからの起動によってDMA転送を開始し、

該セレクト・レジスタに格納されている番地を参照して、転送された該ディスクリプタ・データを該ストック・レジスタに一旦ストアし、

DMA転送の終了時に該ストック・レジスタにストアされた該ディスクリプタ・データを該ディスクリプタ・レ

ジスタに移し変え、

以降は該ディスクリプタ・レジスタにストアされたディスクリプタ・データに従って上記の転送を行なうことを特徴とするDMA転送方式。

【請求項4】 P C Iバスを備えるシステムにおける、P C Iバスを経由するDMA転送方式において、

転送されるディスクリプタ・データを一旦格納するストック・レジスタと、該ストック・レジスタにストアされたディスクリプタ・データを移し変えるディスクリプタ・レジスタと、

ディスクリプタ・データが格納されている番地を検出するパターン・検出部とを備え、

任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データに連続した下位番地にパターン・データを書き込み、該ディスクリプタ・データ及び該パターン・データに連続した番地に転送データを書き込んでC P Uからの起動によってDMA転送を開始し、

該パターン検出部が検出する該パターン・データを参照して、転送された該ディスクリプタ・データを該ストック・レジスタに一旦ストアし、

転送データが最終番地になった時に該ストック・レジスタにストアされた該ディスクリプタ・データを該ディスクリプタ・レジスタに移し変え、

以降は該ディスクリプタ・レジスタにストアされたディスクリプタ・データに従って上記の転送を行なうことを特徴とするDMA転送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ペリフェラル・コンポーネント・インターコネクト・バス（Peripheral Component Interconnect Bus、略してP C Iバス）を備えるシステムにおけるダイレクト・メモリ・アクセス転送方式（DMA転送方式）に係り、特に、ディスクリプタ・チェーンを組んでC P Uの処理負荷を軽減すると共に、P C Iバスの解放、占有の切替頻度を縮減することができるダイレクト・メモリ・アクセス転送方式に関する。

【0002】通信装置やO A機器等の情報処理装置の処理速度を高くするために、高速でデータを転送するバスが必要とされており、その一つにP C Iバスがある。一方、データ転送方式で最も多く適用される方式にDMA転送方式があり、DMA転送方式はディスクリプタ・チェーンを組んでC P Uの処理負荷を軽減する優れた方式である。

【0003】従って、P C Iバスを備えるシステムにおいてディスクリプタ・チェーンを組んでC P Uの処理負荷を軽減できるDMA転送方式の実現が望まれている。

【0004】

【従来の技術】図17は、従来のDMA転送方式の機能構成図である。図17において、1は中央制御ユニット

(CPU)、2は主メモリ、3はホスト・バス、4はPCI-ホスト・ブリッジ、5はPCIバス、6はPCI制御部(PIC)、7はローカル・バス、8はDMA制御部(DMAC)、9は入出力装置(I/O)、10はローカル・メモリである。

【0005】CPUと主メモリはホスト・バスに接続されており、ホスト・バスとPCIバスはホスト側のPCIバス制御を行なうPCI-ホスト・ブリッジで結合されている。PCIバスにはPICが接続されており、ローカル側のPCIバスの制御を行なうと共に、ローカル・バス側のDMAC、I/O、ローカル・メモリ等についてバス・アービトレーションを行なう。

【0006】

【発明が解決しようとする課題】PCIバスは連続するメモリ空間へのアクセスに適しており、一旦先頭アドレスを指示すればデータ・アクセス時に自動的にアドレスを歩進する。

【0007】しかし、PCIバスを備えるシステムにおいてDMA転送方式を適用するためにディスクリプタ・チェーンを組もうとすると、ディスクリプタ・データは転送データとは連続したメモリ空間に配置されていないために、再度アドレス指示をやり直す必要がある。

【0008】図18は、従来のDMA転送方式のタイムチャートをイメージ的に表示した図であり、上記の様子を説明するためのものである。尚、図18はイメージ図であるために時間軸の長さは正確には描いてはいない。

【0009】まず、CPUは主メモリのディスクリプタ・データ領域の先頭アドレスを指定してディスクリプタ・データを読み出し、該読み出したディスクリプタ・データをDMACに転送する。ディスクリプタ・データは転送データを格納している先頭番地や転送すべきデータ量等を表すもので、DMACはディスクリプタ・データを知れば主メモリのどのアドレスからどの程度の量のデータを主メモリからターゲットであるローカル・メモリに転送すればよいか認識できるので、ディスクリプタ・データを取り込んだあとはCPUの処理がなくても自動的にデータを転送することができる。

【0010】しかし、ディスクリプタ・データと転送データの格納領域が不連続であるために、転送データを転送した後に次のディスクリプタ・データの番地を指示するためにはアクセス・サイクルを一旦終了させる必要がある。

【0011】アクセス・サイクルが一旦終了すると、CPUからバスの解放を要求してくることがあり、この場合には、一旦バスを解放した後に再度バスの占有権を取り直す必要がある。

【0012】このために、PCIバスを備えるシステムにおけるDMA転送方式においては転送効率が著しく低下する恐れがある。本発明は、かかる問題を解決すべく、PCIバスを備えるシステムにおけるDMA転送方

式において、ディスクリプタ・チェーンを組んでCPUの処理負荷を軽減すると共に、PCIバスの解放、占有の切替頻度を削減することができるDMA転送方式を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の第一の手段は、主メモリにおいて、ディスクリプタ・データを転送データの先頭番地に連続した下位番地に格納し、最初の転送サイクルではCPUからの起動で格納されているディスクリプタ・データと転送データとを転送し、該転送されたディスクリプタ・データをDMACに設けられたストック・レジスタに一旦ストアし、前記転送において転送データの最終番地に到達した時に該ストック・レジスタにストアされたディスクリプタ・データをDMACに設けられたディスクリプタ・レジスタに移し、次の転送サイクルからは該ディスクリプタ・レジスタに移されたディスクリプタ・データを使ってDMACが自律的にデータ転送を継続する技術である。

【0014】本発明の第一の手段によれば、再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなる。従って、他からバス開放要求の影響を受け難くなり、データ転送の効率を向上することができるようになる。

【0015】本発明の第二の手段は、主メモリにおいて、転送データの最終番地に連続した上位番地にディスクリプタ・データを格納し、最初の転送サイクルではCPUからの起動で格納されているディスクリプタ・データと転送データとを転送し、該転送されたディスクリプタ・データをDMACに設けられたディスクリプタ・レジスタにストアし、次の転送サイクルからは該ディスクリプタ・レジスタにストアされたディスクリプタ・データを使ってDMACが自律的にデータ転送を継続する技術である。

【0016】この場合、ディスクリプタ・データは転送データの後に転送されるので、ディスクリプタ・データを直接ディスクリプタ・レジスタにストアすることができる。

【0017】本発明の第二の手段によっても、再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなる。従って、他からバス開放要求の影響を受け難くなり、データ転送の効率を向上することができるようになる。

【0018】本発明の第三の手段は、主メモリにおいて、ディスクリプタ・データを任意の番地に格納し、転送データを該ディスクリプタ・データに連続した番地に格納し、最初の転送サイクルではCPUからの起動で格納されているディスクリプタ・データと転送データとを転送し、PICに設けられたセレクト・レジスタに格納されている内容を参照してディスクリプタ・データを検出し、該検出されたディスクリプタ・データをDMA

10

20

30

40

50

Cに設けられたストック・レジスタにストアし、前記転送において転送データの最終番地に到達した時に該ストック・レジスタにストアされたディスクリプタ・データをDMACに設けられたディスクリプタ・レジスタに移し、次の転送サイクルからは該ディスクリプタ・レジスタに移されたディスクリプタ・データを使ってDMACが自律的にデータ転送を継続する技術である。

【0019】本発明の第三の手段によっても、再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなる。従って、他からバス開放要求の影響を受け難くなり、データ転送の効率を向上することができるようになる。

【0020】本発明の第四の手段は、主メモリにおいて、ディスクリプタ・データを任意の番地に格納し、該ディスクリプタ・データの先頭番地に連続した下位番地にパターン・データを格納し、該パターンデータと該ディスクリプタ・データに連続した番地に転送データを格納して、最初の転送サイクルではCPUからの起動で格納されているディスクリプタ・データと転送データとを転送し、PCICに設けられたパターン検出部によってディスクリプタ・データの番地であることを検出し、該検出されたディスクリプタ・データをDMACに設けられたストック・レジスタにストアし、前記転送において最終番地に到達した時に該ストック・レジスタにストアされたディスクリプタ・データをDMACに設けられたディスクリプタ・レジスタに移し、次の転送サイクルからは該ディスクリプタ・レジスタに移されたディスクリプタ・データを使ってDMACが自律的にデータ転送を継続する技術である。

【0021】本発明の第四の手段によっても、再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなる。従って、他からバス開放要求の影響を受け難くなり、データ転送の効率を向上することができるようになる。

【0022】

【発明の実施の形態】図1は、本発明の第一の実施の形態の機能構成図である。図1において、1はCPU、2は主メモリ、3はホスト・バス、4はPCI-ホスト・ブリッジ、5とPCIバス、6はPCIC、7はローカル・バス、8はDMAC、9はI/O、10はローカル・メモリである。

【0023】ここで、DMACにはディスクリプタ・データを一旦ストアするストック・レジスタ82及び該ストック・レジスタにストアしたディスクリプタ・データを移し変えるディスクリプタ・レジスタ81が設けられており、又、主メモリにおいてはディスクリプタ・データと転送データとが連続した番地に格納されるようにしている。

【0024】図2は、本発明の第一の実施の形態におけるメモリ・マップで、主メモリへのディスクリプタ・デ

ータと転送データとの格納を仕方を示している。尚、図2においては、転送サイクルの内2サイクルを示している。

【0025】各サイクル共、主メモリの下位番地にはディスクリプタ・データが格納され、該ディスクリプタ・データに連続するように転送データが格納される。そして、一回目の転送サイクルについてのみCPUからの起動で格納されているディスクリプタ・データと転送データが転送される。

【0026】ディスクリプタ・データが格納されている番地は予め決まっているので、DMACは転送されるデータの中からディスクリプタ・データを選別してストアすることができる。該ディスクリプタ・データは次の転送における転送データの番地や転送すべきデータ量を示すものである。これが先に転送されてDMACにストアされ、転送データの最終番地に到達した時に次の転送の制御に使われるので、該ディスクリプタ・データを転送データが最終番地に到達するまで、即ちDMA転送が終了するまでストアするストック・レジスタと、該ストック・レジスタにストアされていたディスクリプタ・データを移し変えるディスクリプタ・レジスタとがDMACに必要な。

【0027】そして、二回目の転送サイクルからは、ディスクリプタ・レジスタに移し変えられたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0028】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

【0029】図3は、本発明の第一の実施の形態のタイムチャートである。この図は、ディスクリプタ・データが4ステータス、転送データが4ステータスの転送サイクルと、ディスクリプタ・データが4ステータス、転送データが2ステータスの転送サイクルの2サイクルを図示している。

【0030】図3において、フレームはデータ転送を実行する期間を指定する信号で、フレームが“L”である期間プラス1ステートがデータ転送を実行する期間である。転送されるデータは、最初の転送サイクルだけはCPUからの起動で転送が開始されるので、最初にCPUが主メモリにアクセスする先頭番地を指定する。これが「データ」の先頭の“アドレス”である。

【0031】アクセスすべき先頭番地が指示された後、主メモリに格納されているディスクリプタ・データと転送データとが読み出される。この内、ディスクリプタ・データが格納されている番地は予め判っているので、DMACはディスクリプタ・データ選択信号を出してディスクリプタ・データを取り込む。

【0032】ここで、本発明の第一の実施の形態の場合にはディスクリプタ・データが先にDMACに取り込まれてその後転送データが転送されるので、ディスクリプタ・データを一旦ストック・レジスタに格納しておき、転送データの最終番地に達した時にディスクリプタ・レジスタに移し変えて“アドレス”として次のデータ転送の制御を行なう。

【0033】尚、図3における「IRDY」はイニシエータ・レディ信号で、DMAC又は転送先I/O又はローカル・メモリがレディである時に出す信号、「TRDY」はPCI-ホスト・ブリッジが出すターゲット・レディ信号で、転送元のターゲットがレディであることを示す信号、「DEVSEL」はPCI-ホスト・ブリッジが出すデバイス・セレクト信号で、PCI-ホスト・ブリッジが自分宛てのアドレスを認知したことを示す信号である。

【0034】図4は、本発明の第一の実施の形態のフローチャートである。まずCPUが初期設定を行ない、次いで、1回目の転送ブロックのディスクリプタ・データをDMACに設定する。一方、DMACはCPUから設定されたディスクリプタ・データをディスクリプタ・レジスタにストアする。

【0035】次いでCPUは転送先頭番地にディスクリプタ・データを書き込み、該ディスクリプタ・データが書きこまれた番地に連続した番地に転送データを書き込んだ後、DMACにDMA動作の起動をかける。

【0036】CPUから起動をかけられたDMACはDMA転送を開始する。この場合にはディスクリプタ・データが下位番地に格納されて先に転送されるので、DMACはディスクリプタ・データをストック・レジスタにストアし、続いて転送されてくる転送データをターゲットに転送する。

【0037】それと並行してCPU側では次の転送ブロックの先頭番地からディスクリプタ・データを書き込み、該ディスクリプタ・データが書きこまれた番地に連続した番地に転送データを書き込んでゆく。

【0038】一方、DMACではターゲットへのデータ転送が終了したらストック・レジスタにストアしておいたディスクリプタ・データをディスクリプタ・レジスタに移し、これを使って次のDMA転送を自律的に開始し、主メモリに書きこまれているディスクリプタ・データ及び転送データの転送を開始する。

【0039】以降は上記動作を繰り返して行なう。尚、1番目の転送サイクルと2番目の転送サイクルとの間には、正確にはアドレス処理のための時間が入るが、図4においてはそれを図示することを省略している。これは、以降のタイムチャートにおいても同様である。

【0040】図5は、本発明の第二の実施の形態の機能構成図である。図5において、1はCPU、2は主メモリ、3はホスト・バス、4はPCI-ホスト・ブリッ

ジ、5とPCIバス、6はPCI C、7はローカル・バス、8aはDMAC、9はI/O、10はローカル・メモリである。

【0041】ここで、図5においてはDMACにはディスクリプタ・データを一旦ストアするストック・レジスタは不要で、ディスクリプタ・データをストアするディスクリプタ・レジスタ81が設けられており、又、主メモリにおいてはディスクリプタ・データと転送データとが連続した番地に格納されるようにしている。

10 【0042】図6は、本発明の第二の実施の形態におけるメモリ・マップで、主メモリへのディスクリプタ・データと転送データとの格納を仕方を示している。尚、図6においては、転送サイクルの内2サイクルを示している。

20 【0043】各サイクル共、主メモリの上位番地にディスクリプタ・データが格納され、該ディスクリプタ・データに連続するように転送データが格納される。そして、一回目の転送サイクルについてのみCPUからの起動で格納されているディスクリプタ・データと転送データが転送される。

30 【0044】ディスクリプタ・データが格納されている番地は予め決まっているので、DMACは転送されるデータの中からディスクリプタ・データを選別してストアすることができる。次の転送における転送データの番地や転送すべきデータ量を示すディスクリプタ・データが後に転送されてDMACにストアされ、次の転送の制御に使われるので、該ディスクリプタ・データは直接ディスクリプタ・レジスタにストアすればよい。従って、ディスクリプタ・データをストアするディスクリプタ・レジスタのみがDMACに必要なになる。

【0045】そして、二回目の転送サイクルからは、ディスクリプタ・レジスタにストアされたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0046】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

40 【0047】図7は、本発明の第二の実施の形態のタイムチャートである。この図も、ディスクリプタ・データが4ステータス、転送データが4ステータスの転送サイクルと、ディスクリプタ・データが4ステータス、転送データが2ステータスの転送サイクルの2サイクルを図示している。

50 【0048】先に説明した如く“アドレス”によってアクセスすべき先頭番地が指示された後、主メモリに格納されているディスクリプタ・データと転送データとが読み出される。この内、ディスクリプタ・データが格納されている番地は予め判っているため、DMACはディス

クリプタ・データ選択信号を出してディスクリプタ・データを取り込む。

【0049】ここで、本発明の第二の実施の形態の場合には転送データの後にディスクリプタ・データがDMACに取り込まれるので、ディスクリプタ・データを直接ディスクリプタ・レジスタにストアして次のデータ転送の制御を行なえばよい。

【0050】図8は、本発明の第二の実施の形態のフローチャートである。まずCPUが初期設定を行ない、次いで、1回目の転送ブロックのディスクリプタ・データ10をDMACに設定する。一方、DMACはCPUから設定されたディスクリプタ・データをディスクリプタ・レジスタにストアする。これは、本発明の第一の実施の形態と同じである。

【0051】次いでCPUは主メモリに転送データを書き込み、該転送データが格納されてくる番地と連続する番地の上位番地にディスクリプタ・データを書き込んだ後にDMACにDMA動作の起動をかける。

【0052】CPUから起動をかけられたDMACはDMA転送を開始する。この場合には先に転送データが転送先のI/O又はローカル・メモリに転送され、その後20にディスクリプタ・データがDMACに取り込まれる。既に転送データの転送は終了しているので取り込んだディスクリプタ・データを直接ディスクリプタ・レジスタにストアする。

【0053】それと並行してCPU側では次の転送ブロックの先頭番地から転送データを書き込み、該転送データが書きこまれた番地に連続した番地にディスクリプタ・データを書き込んでゆく。

【0054】一方、DMACではディスクリプタ・レジスタ30にストアされたディスクリプタ・データを使って次のDMA転送を自律的に開始し、主メモリに書きこまれているディスクリプタ・データ及び転送データの転送を開始する。

【0055】以降は上記動作を繰り返して行なうことは本発明の第一の実施の形態と同じである。図9は、本発明の第三の実施の形態の機能構成図である。

【0056】図9において、1はCPU、2は主メモリ、3はホスト・バス、4はPCI-ホスト・ブリッジ、5とPCIバス、6aはPCIC、7はローカル・バス、8はDMAC、9はI/O、10はローカル・メモリである。

【0057】ここで、図9においてはDMACにはディスクリプタ・データを一旦ストアするストック・レジスタ82及び該ストック・レジスタにストアしたディスクリプタ・データを移し変えるディスクリプタ・レジスタ81が設けられており、PCICにはディスクリプタ・データを選択するセレクト・レジスタ61が設けられており、又、主メモリにおいてはディスクリプタ・データと転送データとが連続した番地に格納されるようにして

いる。

【0058】尚、セレクト・レジスタにはCPUからディスクリプタ・データが格納されている可能性のある番地を指示しておき、転送がその番地になった時にセレクト・レジスタがディスクリプタ・データ選択信号を出してDMACに供給する。

【0059】図10は、本発明の第三の実施の形態におけるメモリ・マップで、主メモリへのディスクリプタ・データと転送データとの格納を仕方を示している。尚、図10においても、転送サイクルの内2サイクルを示している。

【0060】各サイクル共、主メモリの任意の番地にディスクリプタ・データが格納され、該ディスクリプタ・データに連続するように転送データが格納される。そして、一回目の転送サイクルについてのみCPUからの起動で格納されているディスクリプタ・データと転送データが転送される。

【0061】ディスクリプタ・データが格納されている番地はCPUからPCICに指定されているので、PCICは転送されるデータの中からディスクリプタ・データを選別する信号を生成することができる。この信号がPCICからDMACに供給されるので、DMACはディスクリプタ・データを認識して取り出すことができる。今の場合、転送データの転送が終了するより前にディスクリプタ・データが転送されてDMACにストアされる可能性があるので、該ディスクリプタ・データをDMA転送が終了するまでストアするストック・レジスタと、該ストック・レジスタにストアされていたディスクリプタ・データを移し変えるディスクリプタ・レジスタとがDMACに必要なになる。

【0062】そして、二回目の転送サイクルからは、ディスクリプタ・レジスタに移し変えられたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0063】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

40 【0064】図11は、本発明の第三の実施の形態のタイムチャートである。この図も、ディスクリプタ・データが4ステータス、転送データが4ステータスの転送サイクルと、ディスクリプタ・データが4ステータス、転送データが4ステータスの転送サイクルの2サイクルを図示している。

50 【0065】先に説明した如く“アドレス”によってアクセスすべき先頭番地が指示された後、主メモリに格納されているディスクリプタ・データと転送データとが読み出される。この内、ディスクリプタ・データが格納されている番地はPCICには予め判っているため、PC

I Cはディスクリプタ・データ選択信号を出してDMACに供給する。該ディスクリプタ・データ選択信号を受けたDMACはそれに従ってディスクリプタ・データを取り込む。

【0066】ここで、本発明の第三の実施の形態の場合にはディスクリプタ・データがDMACに取り込まれた後にもデータの転送が行なわれる可能性があるので、DMACにおいては取り込んだディスクリプタ・データを一旦ストック・レジスタにストアし、データ転送が終了する時点でそれをディスクリプタ・レジスタに移し変えて次のデータ転送の制御を行なう。

【0067】図12は、本発明の第三の実施の形態のフローチャートである。まずCPUが初期設定を行ない、次いで、1回目の転送ブロックのディスクリプタ・データをDMACに設定する。一方、DMACはCPUから設定されたディスクリプタ・データをディスクリプタ・レジスタにストアする。又、CPUは次にディスクリプタ・データを書き込む番地をPCICのセレクト・レジスタに書き込む。

【0068】次いでCPUは主メモリの任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データが格納されている番地と連続する番地に転送データを書き込んだ後にDMACにDMA動作の起動をかける。

【0069】CPUから起動をかけられたDMACはDMA転送を開始する。この場合には先に転送データが転送先のI/O又はローカル・メモリに転送され、その転送中にディスクリプタ・データがDMACに取り込まれるので、該ディスクリプタ・データをストック・レジスタに一旦ストアする。その後、残っているデータをターゲットに転送を続ける。それと並行してCPUは主メモリの任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データが格納されている番地と連続する番地に転送データを書き込んでゆく。

【0070】一方、DMACではターゲットへのデータ転送が終了する時にストック・レジスタにストアされているディスクリプタ・データをディスクリプタ・レジスタに移し変えて次のDMA転送を自律的に開始し、主メモリに書き込まれているディスクリプタ・データ及び転送データの転送を開始する。

【0071】以降は上記動作を繰り返して行なうことは先に説明した実施の形態と同じである。そして、二回目の転送サイクルからは、ディスクリプタ・レジスタにストアされたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0072】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

【0073】尚、図9の構成ではセレクト・レジスタをPCICに設ける例を示しているが、セレクト・レジスタをDMACに設けても全く同じ機能を実現することが可能である。

【0074】図13は、本発明の第四の実施の形態の機能構成図である。図13において、1はCPU、2は主メモリ、3はホスト・バス、4はPCIC-ホスト・ブリッジ、5とPCIBus、6bはPCIC、7はローカル・バス、8はDMAC、9はI/O、10はローカル・メモリである。

【0075】ここで、図13においてはDMACにはディスクリプタ・データを一旦ストアするストック・レジスタ82及び該ストック・レジスタにストアしたディスクリプタ・データを移し変えるディスクリプタ・レジスタ81が設けられており、PCICにはディスクリプタ・データのパターンを検出するパターン検出部62が設けられており、又、主メモリにおいてはディスクリプタ・データと転送データとが連続した番地に格納されるようにしている。

【0076】尚、パターン検出部はディスクリプタ・データに連続した下位番地に格納されているパターン・データを検出するとディスクリプタ・データの番地をDMACに供給し、これに従ってDMACはディスクリプタ・データを取り出してストック・レジスタにストアする。

【0077】図14は、本発明の第四の実施の形態におけるメモリ・マップで、主メモリへのディスクリプタ・データと転送データとの格納を仕方を示している。尚、図14においても、転送サイクルの内2サイクルを示している。

【0078】各サイクル共、主メモリの任意の番地にディスクリプタ・データが格納され、該ディスクリプタ・データに連続する下位番地にパターン・データが格納され、更に該パターン・データ及び該ディスクリプタ・データに連続するように転送データが格納される。そして、一回目の転送サイクルについてのみCPUからの起動で格納されているディスクリプタ・データ、パターン・データと転送データが転送される。

【0079】ディスクリプタ・データの先頭が格納されている番地に連続した下位番地にはパターン・データが格納されており、PCICは転送されるデータの中から該パターン・データを検出してディスクリプタ・データが格納されている番地を特定することができ、ディスクリプタ・データ選択信号を生成することができる。この信号がPCICからDMACに供給されるので、DMACはディスクリプタ・データを認識して取り出すことができる。今の場合、転送データの転送が終了するより前にディスクリプタ・データが転送されてDMACにストアされる可能性があるので、該ディスクリプタ・データをDMA転送が完了するまでストアするストック・レジ

スタと、該ストック・レジスタにストアされていたディスクリプタ・データを移し変えるディスクリプタ・レジスタとがDMACに必要な。

【0080】そして、二回目の転送サイクルからは、ディスクリプタ・レジスタに移し変えられたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0081】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

【0082】図15は、本発明の第四の実施の形態のタイムチャートである。この図も、ディスクリプタ・データが4ステータス、転送データが4ステータスの転送サイクルと、ディスクリプタ・データが4ステータス、転送データが2ステータスの転送サイクルの2サイクルを图示している。

【0083】先に説明した如く“アドレス”によってアクセスすべき先頭番地が指示された後、主メモリに格納されているディスクリプタ・データ、パターン・データと転送データとが読み出される。この内、ディスクリプタ・データが格納されている先頭番地に連続した下位番地に格納されているパターン・データをP C I Cが検出し、ディスクリプタ・データ選択信号を出してDMACに供給する。該ディスクリプタ・データ選択信号を受けたDMACはそれに従ってディスクリプタ・データを取

り込む。

【0084】ここで、本発明の第四の実施の形態の場合にはディスクリプタ・データがDMACに取り込まれた後にもデータの転送が行なわれる可能性があるので、DMACにおいては取り込んだディスクリプタ・データを一旦ストック・レジスタにストアし、データ転送が終了する時点でそれをディスクリプタ・レジスタに移し変えて次のデータ転送の制御を行なう。

【0085】図16は、本発明の第四の実施の形態のフローチャートである。まずCPUが初期設定を行ない、次いで、1回目の転送ブロックのディスクリプタ・データをDMACに設定する。一方、DMACはCPUから設定されたディスクリプタ・データをディスクリプタ・レジスタにストアする。

【0086】次いでCPUは主メモリの任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データが格納されている先頭番地と連続する下位番地にパターン・データを書き込み、該ディスクリプタ・データとパターンデータが格納されている番地と連続する番地に転送データを書き込んだ後にDMACにDMA動作の起動をかける。

【0087】CPUから起動をかけられたDMACはDMA転送を開始する。この場合には先に転送データが転

送先のI/O又はローカル・メモリに転送され、その転送中にディスクリプタ・データがDMACに取り込まれるので、該ディスクリプタ・データをストック・レジスタに一旦ストアする。その後、残っている転送データをターゲットに転送を続ける。

【0088】それと並行してCPUは主メモリの任意の番地にディスクリプタ・データを書き込み、該ディスクリプタ・データが格納されている先頭番地と連続する下位番地にパターン・データを書き込み、該ディスクリプタ・データとパターンデータが格納されている番地と連続する番地に転送データを書き込んでゆく。

【0089】一方、DMACではターゲットへのデータ転送が終了する時にストック・レジスタにストアされているディスクリプタ・データをディスクリプタ・レジスタに移し変えて次のDMA転送を自律的に開始し、主メモリに書きこまれているディスクリプタ・データ及び転送データの転送を開始する。

【0090】以降は上記動作を繰り返して行なうことは先に説明した実施の形態と同じである。そして、二回目の転送サイクルからは、ディスクリプタ・レジスタにストアされたディスクリプタ・データを使ってDMACの制御の下にデータ転送が行なわれる。

【0091】従って、一回の転送サイクルの後に再度アドレスを指定するためにアクセス・サイクルを一旦終了する必要がなくなり、他からのバス開放要求の影響を受け難くなるので、データ転送の効率を向上することができるようになる。

【0092】尚、図13の構成においてはパターン検出部をP C I Cに設ける例を示しているが、パターン検出部はDMACに設けても全く同じ機能を実現することが可能である。

【0093】又、DMA転送方式には、転送データをDMACの転送データ・レジスタに一旦取り込んでから転送先であるローカルメモリに転送するデュアル・モードと、転送データを主メモリから転送先であるローカル・メモリに直接転送するシングル・モードとがあるが、本発明の技術はこれらのいずれにも適用できる技術である。

【0094】

【発明の効果】以上説明した如く、本発明により、P C Iバスを備えるシステムにおけるDMA転送方式において、ディスクリプタ・チェーンを組んでCPUの処理負荷を軽減すると共に、P C Iバスの解放、占有の切替頻度を縮減することができるDMA転送方式が実現され、P C Iバスを備えるシステムにおけるデータ転送の効率を向上することができる。しかも、アクセス・サイクルの度にCPUからアドレスを指示しなす必要がなくなるために、CPUの処理負荷を軽減することが可能である。

【図面の簡単な説明】

- 【図1】 本発明の第一の実施の形態の機能構成図。
 【図2】 本発明の第一の実施の形態におけるメモリ・マップ。
 【図3】 本発明の第一の実施の形態のタイムチャート。
 【図4】 本発明の第一の実施の形態のフローチャート。
 【図5】 本発明の第二の実施の形態の機能構成図。
 【図6】 本発明の第二の実施の形態におけるメモリ・マップ。
 【図7】 本発明の第二の実施の形態のタイムチャート。
 【図8】 本発明の第二の実施の形態のフローチャート。
 【図9】 本発明の第三の実施の形態の機能構成図。
 【図10】 本発明の第三の実施の形態におけるメモリ・マップ。
 【図11】 本発明の第三の実施の形態のタイムチャート。
 【図12】 本発明の第三の実施の形態のフローチャート。
 【図13】 本発明の第四の実施の形態の機能構成図。
 【図14】 本発明の第四の実施の形態におけるメモリ

・マップ。

【図15】 本発明の第四の実施の形態のタイムチャート。

【図16】 本発明の第四の実施の形態のフローチャート。

【図17】 従来のDMA転送方式の機能構成図。

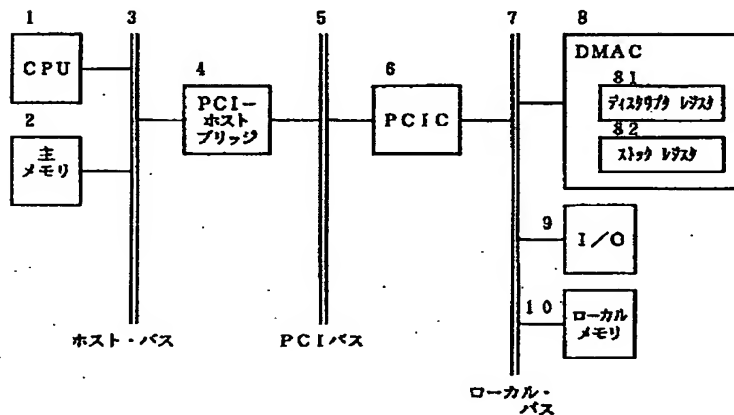
【図18】 従来のDMA転送方式のタイムチャート。

【符号の説明】

- 1 CPU
 2 主メモリ
 3 ホスト・バス
 4 PCI-ホスト・ブリッジ
 5 PCIバス
 6 PCIC
 61 セレクト・レジスタ
 62 パターン検出部
 7 ローカル・バス
 8 DMAC
 81 ディスクリプタ・レジスタ
 82 ストック・レジスタ
 9 I/O
 10 ローカル・メモリ

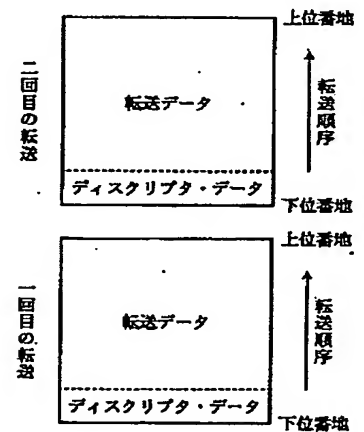
【図1】

本発明の第一の実施の形態の機能構成図



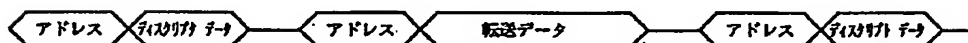
【図2】

本発明の第一の実施の形態におけるメモリ・マップ



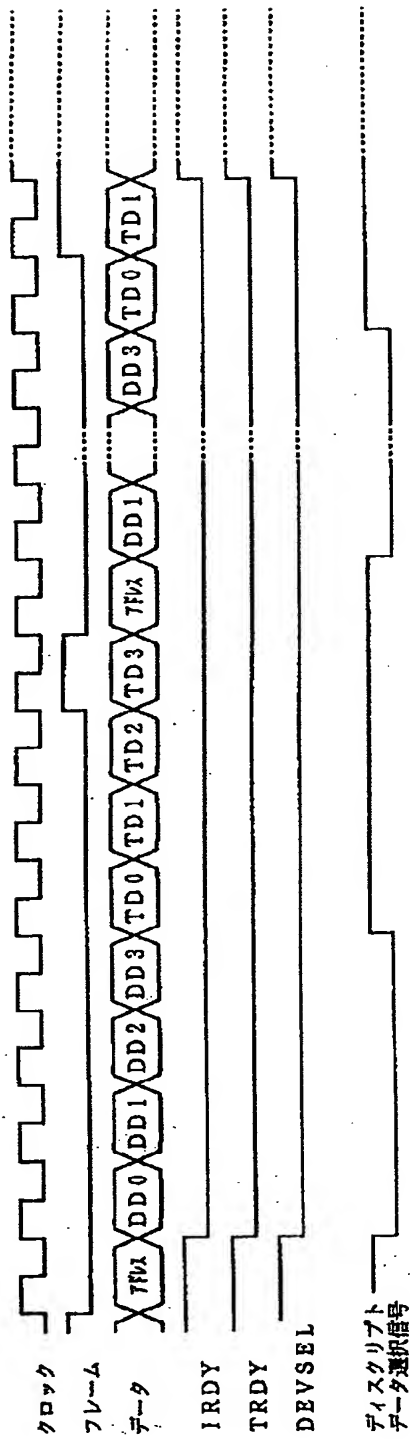
【図18】

従来のDMA転送方式のタイムチャート



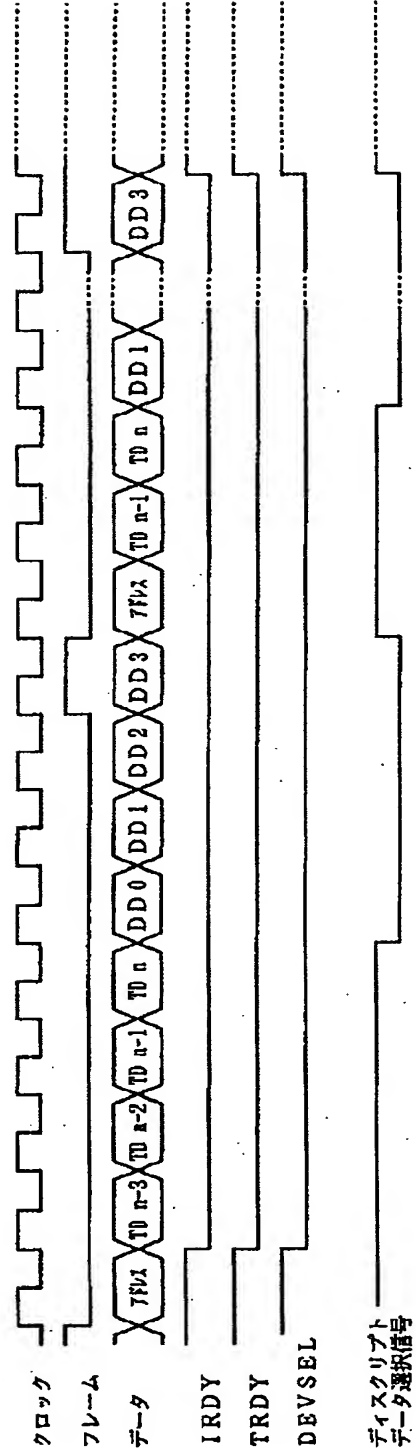
【図3】

本発明の第一の実施の形態のタイムチャート



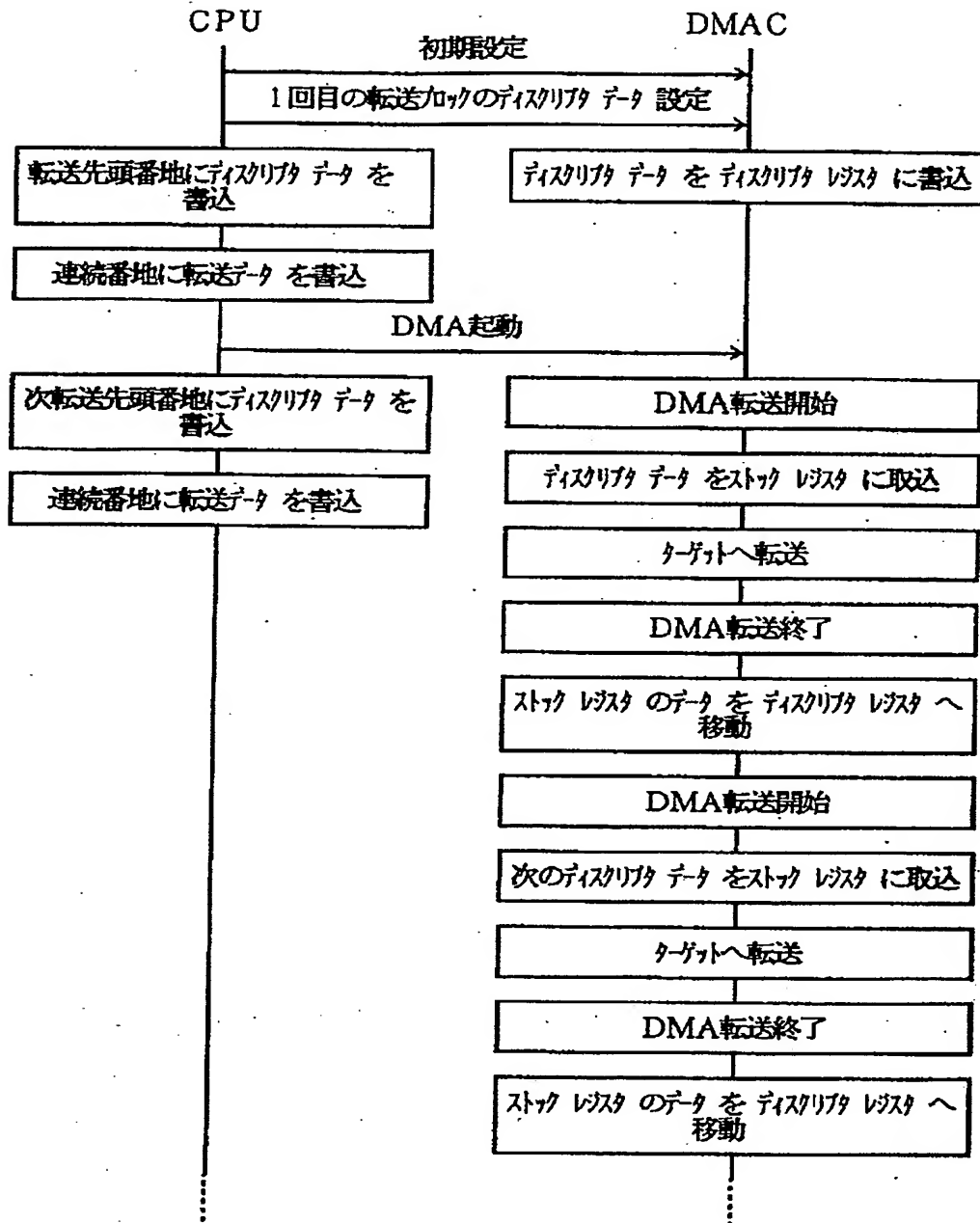
【図7】

本発明の第二の実施の形態のタイムチャート



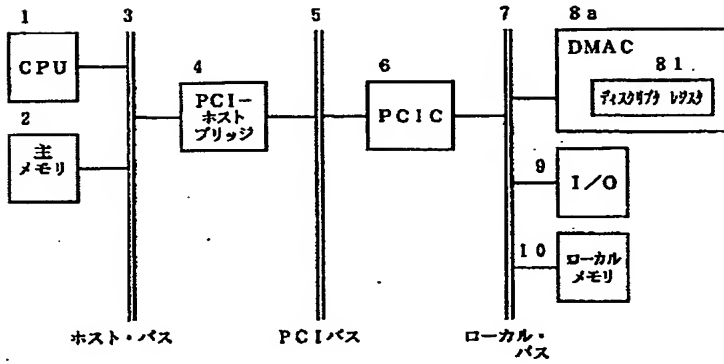
【図4】

本発明の第一の実施の形態のフローチャート



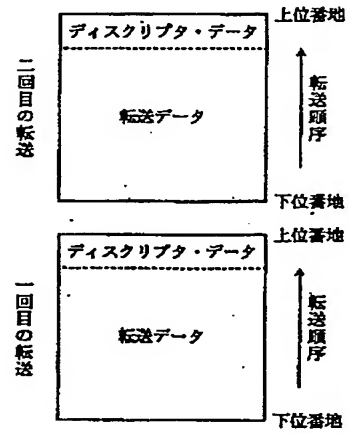
【図5】

本発明の第二の実施の形態の機能構成図



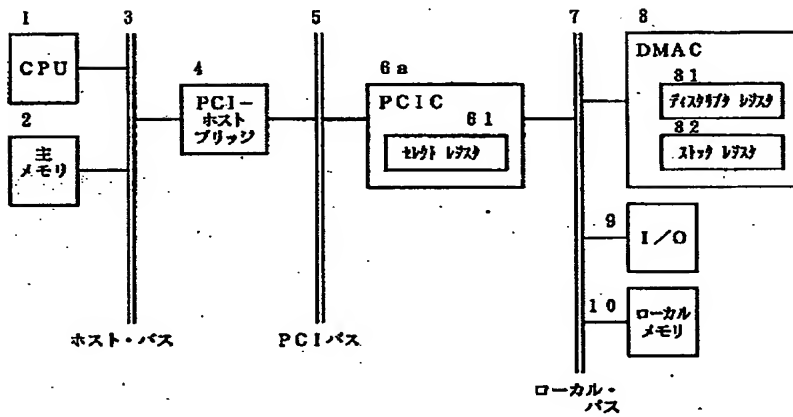
【図6】

本発明の第二の実施の形態におけるメモリ・マップ



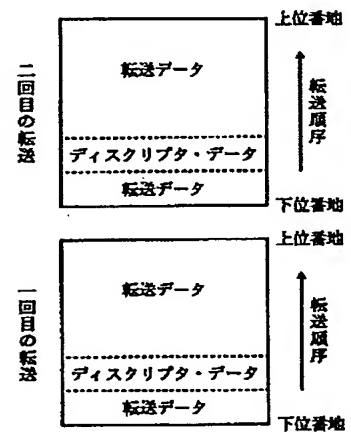
【図9】

本発明の第三の実施の形態の機能構成図



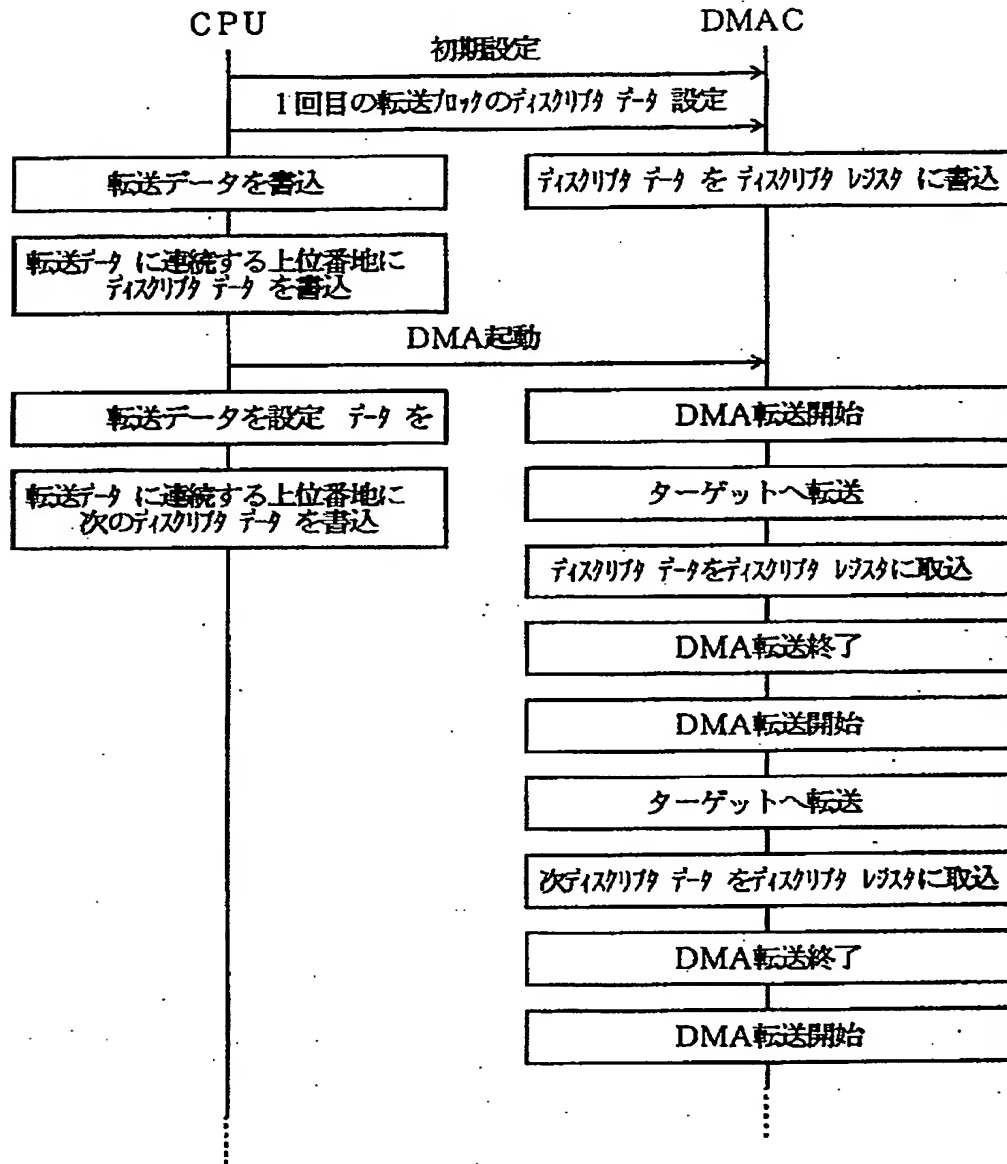
【図10】

本発明の第三の実施の形態におけるメモリ・マップ



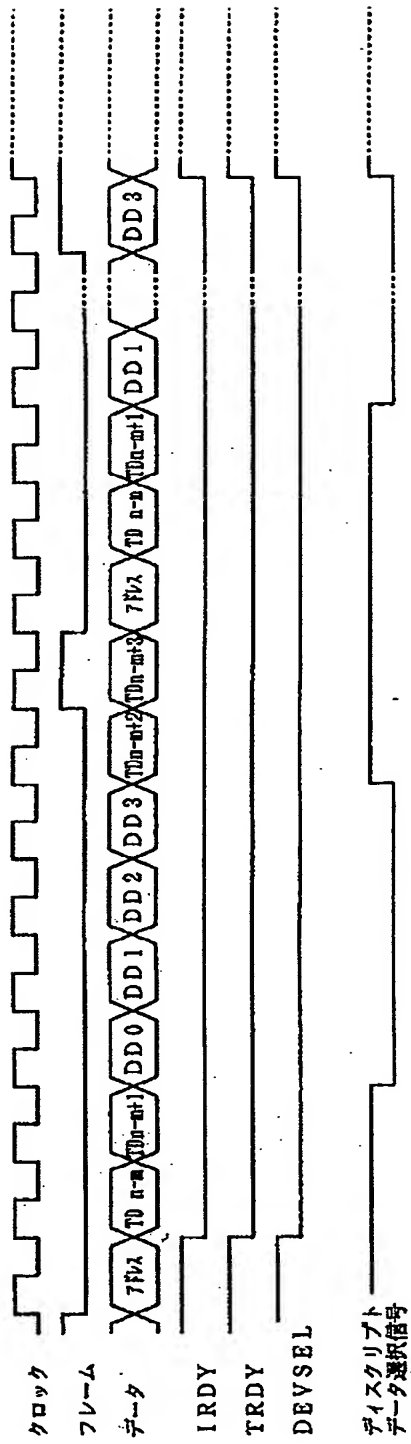
【図8】

本発明の第二の実施の形態のフローチャート



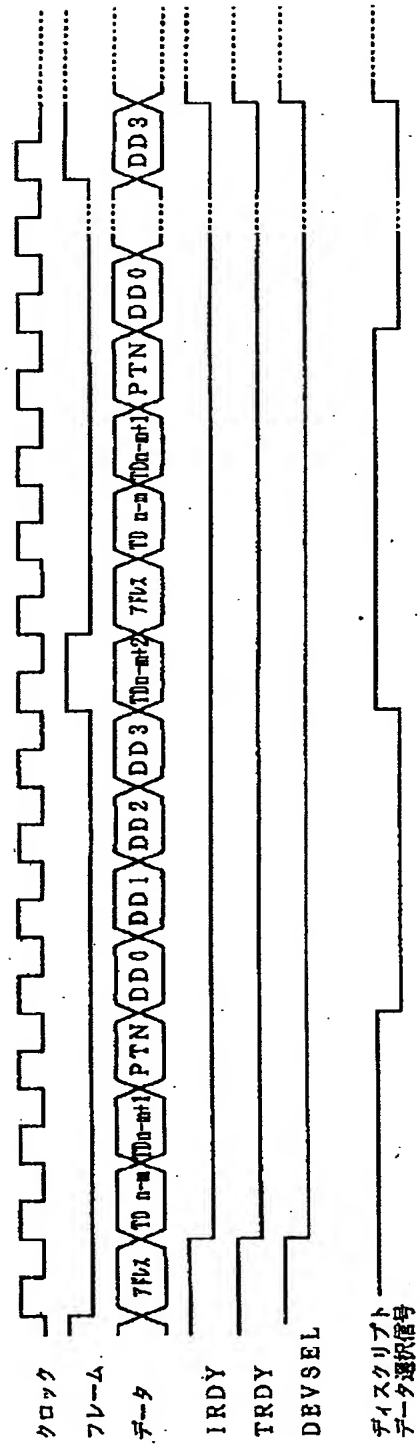
【図11】

本発明の第三の実施の形態のタイムチャート



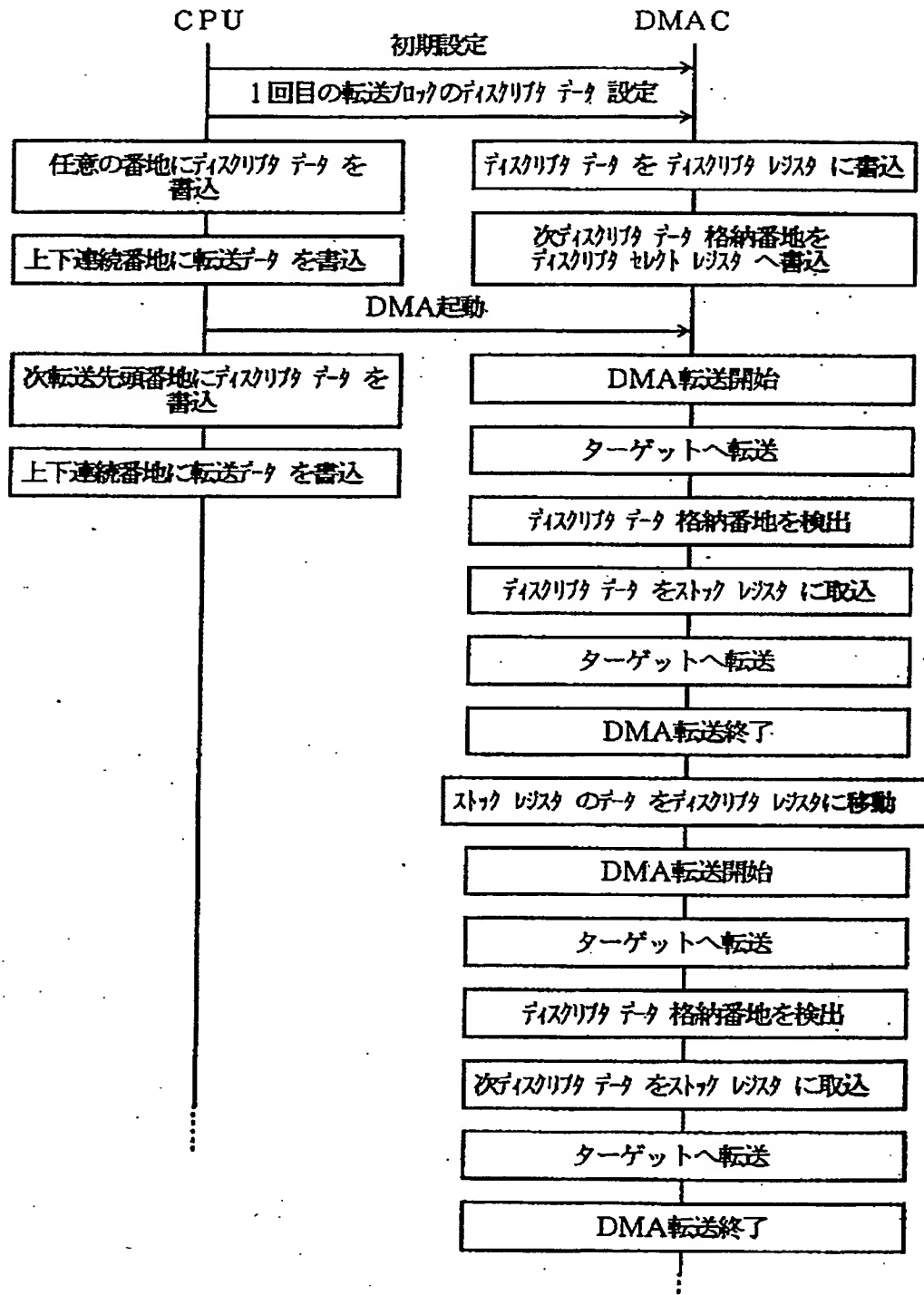
【図15】

本発明の第四の実施の形態のタイムチャート



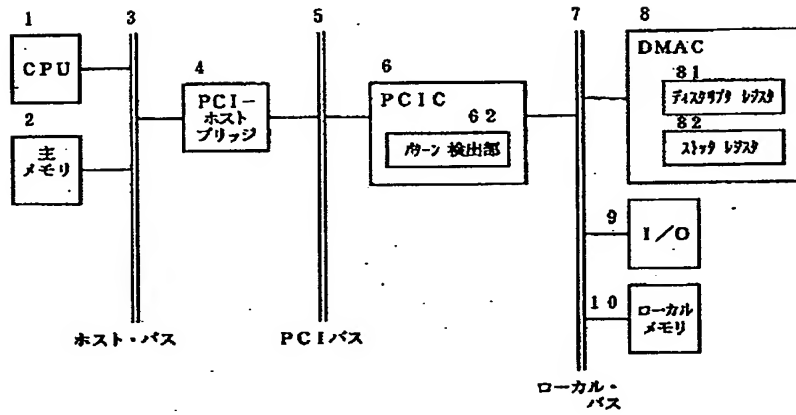
【図12】

本発明の第三の実施の形態のフローチャート



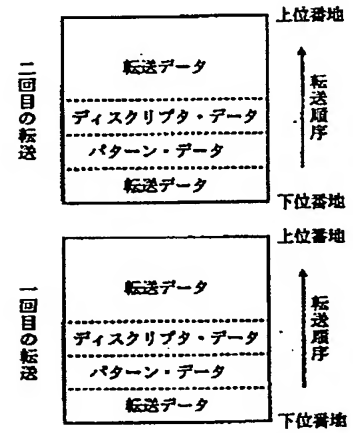
【図13】

本発明の第四の実施の形態の機能構成図



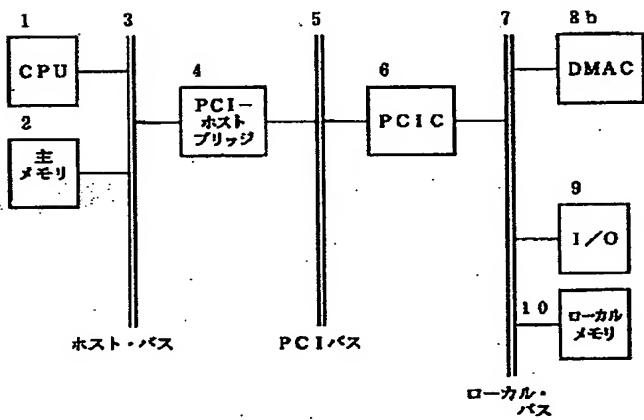
【図14】

本発明の第四の実施の形態におけるメモリ・マップ



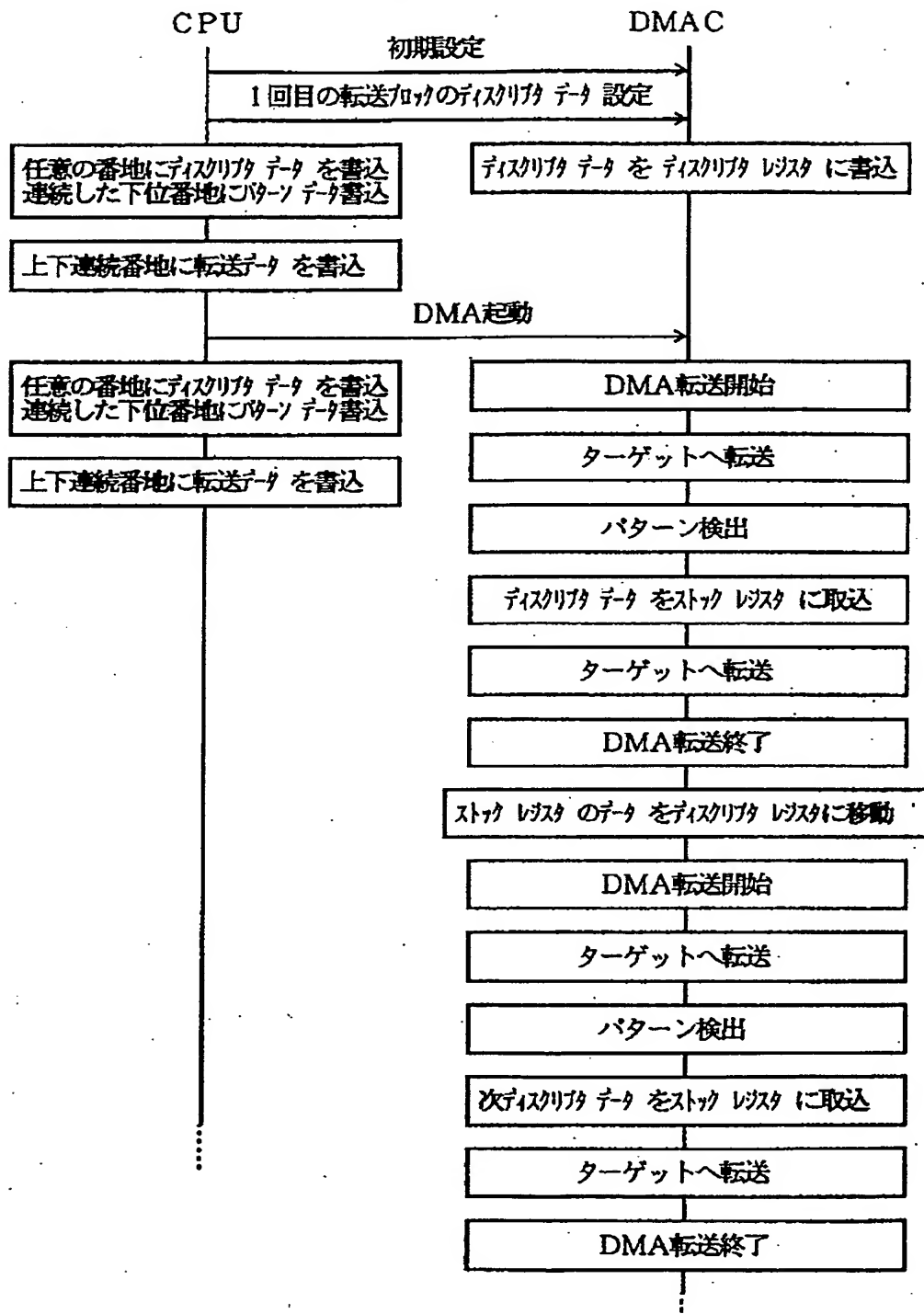
【図17】

従来のDMA転送方式の機能構成図



【図16】

本発明の第四の実施の形態のフローチャート



THIS PAGE BLANK (USPTO)